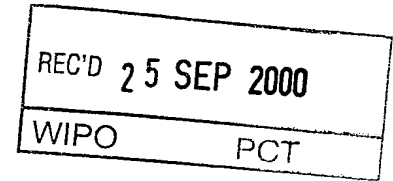


**PRIORITY
DOCUMENT**

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

DE 00/02235

ETU

Aktenzeichen:

199 38 209.3

Anmeldetag:

12. August 1999

Anmelder/Inhaber:

ROBERT BOSCH GMBH,
Stuttgart/DE

Bezeichnung:

Halbleiteranordnung und Verfahren zur
Herstellung

IPC:

H 01 L 29/861

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 03. August 2000
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Heiler

Seller

02.08.99 Gz/Ep

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Halbleiteranordnung und Verfahren zur Herstellung

Stand der Technik

15

Die Erfindung geht aus von einer Halbleiteranordnung bzw. einem Verfahren zur Herstellung der Halbleiteranordnung nach der Gattung der unabhängigen Ansprüche. Es ist schon aus der deutschen Patentanmeldung mit dem Aktenzeichen P 4320780.4 eine Halbleiterdiode mit einer ersten aus zwei Teilschichten bestehenden Schicht und einer zweiten Schicht, bei der die zweite Schicht auf der ersten Teilschicht angeordnet ist, bekannt.

20

Vorteile der Erfindung

30

Die erfindungsgemäße Halbleiteranordnung bzw. das erfindungsgemäße Verfahren zur Herstellung der Halbleiteranordnung mit den kennzeichnenden Merkmalen der unabhängigen Ansprüche haben demgegenüber den Vorteil, in einer für die Großserienfertigung günstigen Weise ohne großen technischen Mehraufwand bei gleichbleibender Chipfläche Dioden mit erhöhter maximal zulässiger Leistung und geringerer Flußspannung bereitzustellen. Dies ist insbesondere von Vorteil, wenn eine maximal vorgegebene Chipflächengröße nicht überschritten werden soll, sowohl um

35

Chipfläche zu sparen, als auch, wenn die Größe verwendeter

Kontaktsockel zur Kontaktierung der Halbleiteranordnung eine bestimmte Größe nicht überschreiten soll, um eine erhöhte Stromtragfähigkeit der insbesondere bei einer Kfz-Gleichrichteranordnung verwendeten Dioden nicht mit einem größeren Volumen der Gesamtgleichrichteranordnung erkaufen zu müssen. Die Erfindung zeigt somit einen technisch relativ leicht realisierbaren Weg, wie bei gleichbleibender Silizium-Chipfläche die zulässige Strombelastung gesteigert bzw. die thermische Belastung des Silizium-Chips reduziert werden kann. Gleichzeitig wird dabei eine Verringerung der Flußspannung erreicht. Insbesondere vorteilhaft erweist sich der Effekt zusätzlicher Sägerillen dadurch, daß später beim Lötprozeß von Sockel und Kopfdraht an den Diodenchip die Rillen zu einem besseren, lunkerfreien Löten führen (Kapillarwirkung) sowie die mit Lot gefüllten Rillen zu einer weiteren, besseren Kühlung des Chips führen, die in die Tiefe des Siliziumkörpers reicht, also zu einer intensiveren thermischen Ankopplung des Chips an die Wärmesenke.

Weitere Vorteile ergeben sich durch die in den abhängigen Ansprüchen aufgeführten Weiterbildungen und Verbesserungen der in den unabhängigen Ansprüchen angegebenen Halbleiteranordnung bzw. des angegebenen Verfahrens.

Zeichnung

Ausführungsbeispiele der Erfindung sind in der Zeichnung dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen Figur 1a eine Diode in Querschnittsseitenansicht, Figur 1b eine Diode in Draufsicht, Figur 2 einen Verfahrensschritt sowie Figur 3 und 4 weitere Verfahrensschritte.

Beschreibung der Ausführungsbeispiele

Figur 1a zeigt, als Querschnittsseitenansicht dargestellt, einen als Diode ausgebildeten Halbleiterchip 7. Der Chip 7 weist eine erste Halbleiterschicht (2, 3, 4) auf, die aus einer ersten Teilschicht 2, einer zweiten Teilschicht 3 und einer dritten Teilschicht 4 besteht. Die Dotierung der n-dotierten Teilschicht 2 liegt in der Größenordnung von 10^{18} cm^{-3} . Die Teilschicht 3 ist mit einer Konzentration von ca. 10^{14} cm^{-3} n-dotiert, und die Teilschicht 4 ist mit einer n-Konzentration von ca. 10^{20} cm^{-3} . In die Teilschicht 2 sind zwei Gräben 10 eingebracht, die bis in die Teilschicht 3 hineinreichen. Diese Gräben 10 befinden sich im Innenbereich 13 des Chips 7. Die Randbereiche 12 des Chips weisen eine Abschrägung 11 auf, die ebenfalls wie die Gräben 10 bis in die Teilschicht 3 hineinreicht. Auf die erste Teilschicht 2 sowie in den Gräben 10 als auch in der Abschrägung 11 ist eine zweite Schicht 20 aufgebracht, deren Bereiche in den Gräben 10 bzw. in den Abschrägungen 11 als Fortsetzungsbereiche 23 bzw. weitere Fortsetzungsbereiche 24 der zweiten Schicht 20 bezeichnet werden. Die zweite Schicht 20 ist p-dotierten und weist eine Dotierung in der Größenordnung von 10^{20} cm^{-3} auf. Die mit der Schicht 20 bedeckte Oberseite des Wafers sowie die Unterseite des Wafers, die durch die Schicht 4 gebildet wird, sind mit Metallisierungen 22 bzw. 21 versehen. Figur 1b zeigt dasselbe Bauelement in Draufsicht. Der Chip 7 ist oben mit der Metallisierung 22 bedeckt. Diese Metallisierung 22 weist in Folge der eingebrachten Gräben 10 eine Struktur auf, die durch entsprechende Vertiefungen charakterisiert ist.

Der pn-Übergangsbereich der Diode wird gebildet durch die p-dotierte Schicht 20 und die n-dotierten Schichten 2 bzw. 3. In Folge der eingebrachten Gräben 10 ist durch die

Fortsetzungsbereiche 23 im Inneren 13 des Chips 7 ein pn-Übergang mit der zweiten Teilschicht 3 gebildet. Diese Bereiche führen zu einer Erniedrigung der Flußspannung der Diode mit der Metallisierung 22 als Anode und der
5 Metallisierung 21 als Kathode. Durch vier Rillen im Inneren des Chips 7 (vgl. Figur 1b) läßt sich eine Steigerung der elektrischen Belastung gegenüber einer identisch aufgebauten Diode ohne Rillen im Inneren um über 12 % erreichen, d.h. eine beispielsweise mit 65 A belastbare Diode läßt sich zu
10 einer Diode mit einer maximalen Belastung von 75 A machen. Aus einer 80 A-Diode wird eine 90 A-Diode. Die Flußspannung kann um ca. 60 mV (gemessen bei 100 A Belastung) gesenkt werden. Die vier zusätzlichen Rillen bzw. Gräben im Inneren des Chips 7 führen darüber hinaus zu einem besseren,
15 lunkerfreien Löten des Chips, d.h. einem verbesserten Anbringen von Sockel und Kopfdraht an den Diodenchip. Darüber hinaus ist durch bei diesem Lötprozeß mit Lot gefüllten Rillen (in der Abbildung nicht dargestellt) eine verbesserte Kühlung des Chips gewährleistet, da durch das
20 sich in den Rillen befindende Lot, das die Rillen dann vollständig ausfüllt, eine intensive thermische Ankopplung des Chips an einem als Wärmesenke dienenden Metallsockel gegeben ist.

Figur 1b stellt den Spezialfall eines quadratischen Chips 7 dar. Aber nicht nur Quadrate, sondern auch andere, durch
gerade Kanten begrenzte Flächen (z.B. Sechsecke oder Achtecke) sind möglich mit entsprechend zu den Kanten
parallelen, innenliegenden Zusatzrillen.

Figur 2 zeigt einen Halbleiterwafer mit einer ersten Teilschicht 2, einer zweiten Teilschicht 3 und einer dritten
Teilschicht 4. Alle drei Teilschichten sind n-dotiert. Ausgangspunkt zur Herstellung dieser Schichtenfolge ist ein
35 schwach n-dotierter Wafer, dessen Dotierstoffkonzentration

der Dotierstoffkonzentration der Teilschicht 3 entspricht. Durch eine Foliendiffusion wird dann auf die Oberseite und auf die Unterseite n-Dotierstoff, beispielsweise Phosphor, eingebracht und eindiffundiert. Auf der Oberseite wird so
5 eine Schicht gebildet, deren Dotierstoffkonzentration der Teilschicht 2 entspricht, und auf der Unterseite eine Schicht gebildet, deren Dotierstoffkonzentration der Teilschicht 4 entspricht. Die Dotierstoffkonzentration der Schichten wird dabei durch die Dotierstoffkonzentration der
10 Folien bestimmt.

Die Herstellung einer solchen Schichtenfolge ist bereits aus der deutschen Patentanmeldung P 4320780.4 bekannt. Als
Alternative dazu kann diese Schichtenfolge auch unter
15 Einsatz von Neutalfolien hergestellt werden, wie in der deutschen Patentanmeldung mit dem Aktenzeichen 19857243.3 beschrieben.

Figur 3 zeigt einen weiteren Schritt des erfindungsgemäßen
20 Herstellungsverfahrens. Dabei werden in den Halbleiternwafer Gräben 10 eingebracht, die die Teilschicht 2 in Teilbereiche unterteilt, wobei die Gräben 10 bis zur Teilschicht 3 hindurchreichen. Das Einbringen der Gräben 10 kann beispielsweise durch Sägen oder durch Ätzen erfolgen. Der Abstand der Gräben 10 ist dabei so bemessen, daß der Wafer nachfolgend entlang der Gräben in einzelne Chips zerteilt werden kann, wobei jeder Chip nach der Zerteilung mindestens noch einen Graben 10 in seinem Inneren aufweist. Vor der
weiteren Verarbeitung wird jedoch zunächst die Wafer-
30 Oberfläche gesäubert, um eventuell verbliebene Partikel von der Oberfläche zu entfernen.

Im Vergleich zur deutschen Patentanmeldung P 4320780.4 wird der Abstand der Sägelinien beim Einsägen halbiert (um zwei
35 zusätzliche Rillen pro Chip zu erhalten) bzw. auf ein

Drittel verringert (um vier zusätzliche Rillen pro Chip zu erhalten). Der Abstand der Rillen beträgt dabei typisch 1 - 3 mm. Dabei ist kein zusätzlicher Prozeßschritt notwendig, da ja das Einsägen zum Anlegen des Chiprandes, wie aus der P 4320780.4 bekannt, sowieso durchgeführt wird. Es muß lediglich ein etwas geringerer Linienabstand beim Einsägen eingestellt werden. Dadurch ändert sich die Prozeßzeit dieses Sägeschritts nicht wesentlich, da das Wafer-Handling, das Justieren und das an das Einsägen anschließende Reinigen mit deonisiertem Wasser in der automatischen Sägeeinrichtung ohnehin durchgeführt werden.

Nach dem Einbringen der Gräben 10 wird in die Oberseite ein p-Dotierstoff, beispielsweise Bor, eingebracht. Gleichzeitig kann, sofern dies vorteilhaft erscheint, die Dotierstoffkonzentration der unteren Schicht 4 erhöht werden. Das Einbringen des p-Dotierstoffes erfolgt wieder durch Foliendiffusion. Bei diesem Diffusionsschritt werden eventuelle Schäden, die in der unmittelbaren Nähe der Gräben 10 im Siliziumeinkristall vorhanden sind, ausgeheilt. Durch die p-Diffusion wird die obere Schicht des Silizium-Wafers in ein p-leitendes Gebiet umgewandelt. Die Dicke dieser p-Schicht ist dabei überall auf der Oberfläche, insbesondere auch in den Gräben, annähernd gleich. Die resultierende p-leitende Schicht ist in Figur 4 mit Bezugszeichen 20 dargestellt. Im Anschluß an das Aufbringen der Schicht 20 und das eventuell durchgeführte Verstärken der Dotierung der Teilschicht 4 wird eine beidseitige Metallisierung des Wafers durchgeführt, so daß sowohl die p-leitende Schicht 20 mit einer Metallisierung 22 als auch die n-dotierte dritte Teilschicht 4 mit einer Metallisierung 21 versehen sind. In einem weiteren Schritt wird der Wafer entlang der Zerteilungslinien 25 in eine Vielzahl einzelner Dioden zerteilt, so daß Einzelchips 7 gebildet werden, deren Aufbau in Figur 1a und 1b beschrieben ist. Vor dem Zersägen entlang

der Zerteilungslinien 25 wird dabei der Wafer auf der Seite mit der Metallisierung 21, also der Unterseite, auf eine Sägefolie aufgeklebt, damit die einzelnen Chips nicht unkontrolliert wegfliegen bzw. beschädigt werden.

5

Die Breite der Sägelinien beim Einsägen beträgt ca. 40 bis 150 μm , die Chipkantenlängen liegen im Bereich von ca. 5 mm. Bezogen auf die Chipfläche machen die Flächen der zusätzlichen Sägerillen im Inneren der einzelnen Chips lediglich einige Prozent aus. Das erfindungsgemäße Verfahren kann selbstverständlich auch zur Herstellung von Dioden mit vertauschten Dotierungen eingesetzt werden, also beispielsweise bei Dioden, bei denen von einem p-dotieren Wafer statt eines n-dotierten Wafer ausgegangen wird.

10

02.08.99 Gz/Ep

5

ROBERT BOSCH GMBH, 70442 Stuttgart

Ansprüche

10

1. Halbleiteranordnung, insbesondere eine Diode, die als Chip (7) ausgebildet ist, die eine erste Schicht (2, 3, 4) eines ersten Leitfähigkeitstyps und eine zweite Schicht (20) des entgegengesetzten Leitfähigkeitstyps aufweist, wobei die erste Schicht aus mindestens zwei Teilschichten (2, 3)

15

besteht, wobei die erste Teilschicht (2) eine erste Dotierstoffkonzentration und die zweite Teilschicht (3) eine zweite Dotierstoffkonzentration aufweist, wobei die zweite Dotierstoffkonzentration kleiner ist als die erste, wobei die zweite Schicht (20) auf der ersten Teilschicht (2) und die erste Teilschicht (2) auf der zweiten Teilschicht (3)

20

angeordnet ist, dadurch gekennzeichnet, daß im Innenbereich (13) des Chips mindestens ein Graben (10) eingebracht ist, wobei der Graben die erste Teilschicht durchdringt und bis zur zweiten Teilschicht reicht, wobei der Graben von einem Fortsetzungsbereich (23) der zweiten Schicht (20) bedeckt ist, so daß mindestens ein pn-Übergang zwischen der zweiten Schicht (20) und der zweiten Teilschicht (3) im Innern des Chips vorliegt.

25

30

2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß der Randbereich (12) abgeschrägt ist, so daß im Randbereich angeordnete weitere Fortsetzungsbereiche (24) der zweiten Schicht mit der zweiten Teilschicht weitere pn-Übergänge bilden.

3. Halbleiteranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß eine dritte Teilschicht (4) vorgesehen ist, die mit der zweiten Teilschicht verbunden ist.

5

4. Halbleiteranordnung nach Anspruch 3, dadurch gekennzeichnet, daß eine Metallisierung (22) vorgesehen ist, die mit der zweiten Schicht verbunden ist, und eine weitere Metallisierung (21) vorgesehen ist, die mit der dritten Teilschicht verbunden ist, und daß die Konzentration der zweiten Schicht und der dritten Teilschicht derart gewählt sind, daß ein ohmscher Kontakt zwischen der zweiten Schicht und der dritten Teilschicht und den jeweiligen Metallisierungen sichergestellt ist.

10

15

5. Verfahren zur Herstellung einer Halbleiteranordnung, bei dem

in einem ersten Schritt ein Halbleiterwafer (1) mit einer ersten, mindestens zwei Teilschichten aufweisenden Schicht (2, 3) bereitgestellt wird, wobei die erste Teilschicht (2) auf der zweiten Teilschicht (3) aufgebracht ist und beide Teilschichten einen ersten Leitfähigkeitstyp aufweisen, wobei die erste Teilschicht eine erste Dotierstoffkonzentration und die zweite Teilschicht eine zweite Dotierstoffkonzentration aufweist, wobei die zweite Dotierstoffkonzentration kleiner ist als die erste,

20

25

in einem weiteren Schritt Gräben (10) in die erste Schicht eingebracht werden, die durch die erste Teilschicht hindurch bis in die zweite Teilschicht reichen,

30

in einem weiteren Schritt Dotierstoffe des entgegengesetzten Leitfähigkeitstyps in die Oberseite des Wafers eingebracht werden, um den Leitfähigkeitstyp eines Teils der ersten

Teilschicht und eines Teils der zweiten Teilschicht zur Ausbildung einer zweiten Schicht (20) zu verändern,

5

in einem weiteren Schritt Metallisierungen (21, 22) auf der Ober- und der Unterseite des Wafers aufgebracht werden,

10

dadurch gekennzeichnet, daß in einem weiteren Schritt der Wafer entlang der Gräben derart in einzelne Chips zerteilt wird, daß jeder Chip in seinem Innern mindestens einen Graben (10) aufweist.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß das Einbringen der Gräben durch Sägen erfolgt.

15

7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß das Einbringen der Gräben durch Ätzen erfolgt.

02.08.99 Gz/Ep

5

ROBERT BOSCH GMBH, 70442 Stuttgart

10

Halbleiteranordnung und Verfahren zur Herstellung

Zusammenfassung

15

Es wird eine Halbleiteranordnung bzw. ein Verfahren zur Herstellung der Halbleiteranordnung vorgeschlagen, das eine Verbesserung der Stromtragfähigkeit bei gegebenen Chipabmessungen ermöglicht. Die Halbleiteranordnung umfaßt im Inneren des Chips eingebrachte Gräben 10 zur Verringerung der Verlustleistung bzw. zur Verbesserung der Wärmeabfuhr vom Chip.

20

(Figur 1a)

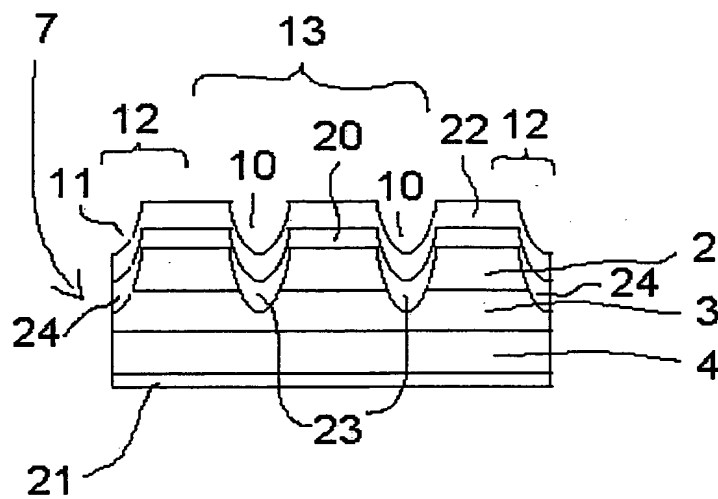


Fig. 1a

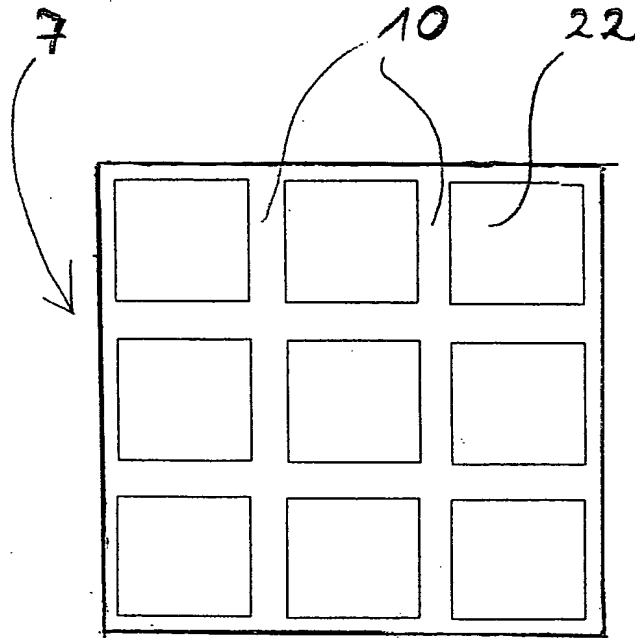


Fig. 1b

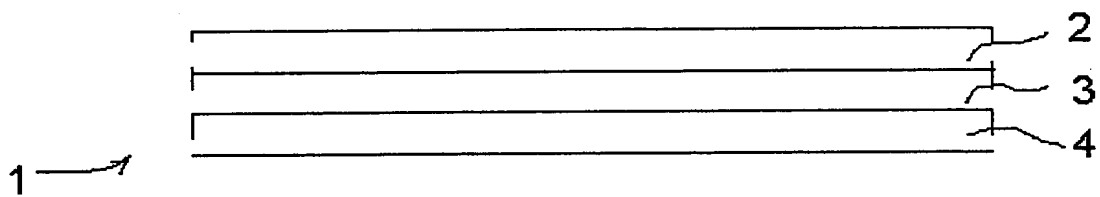


Fig.2

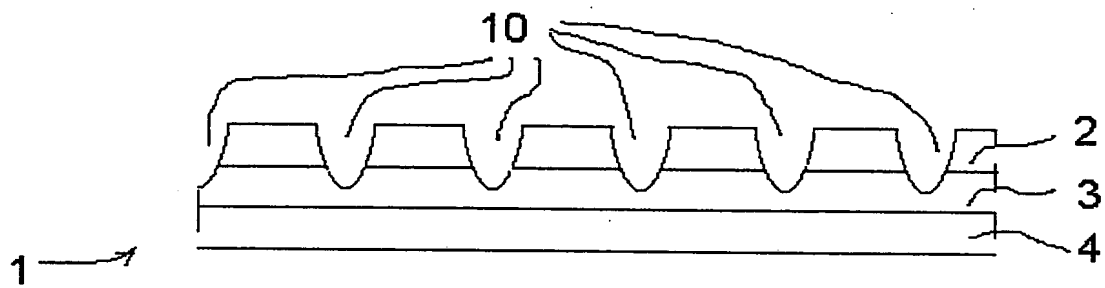
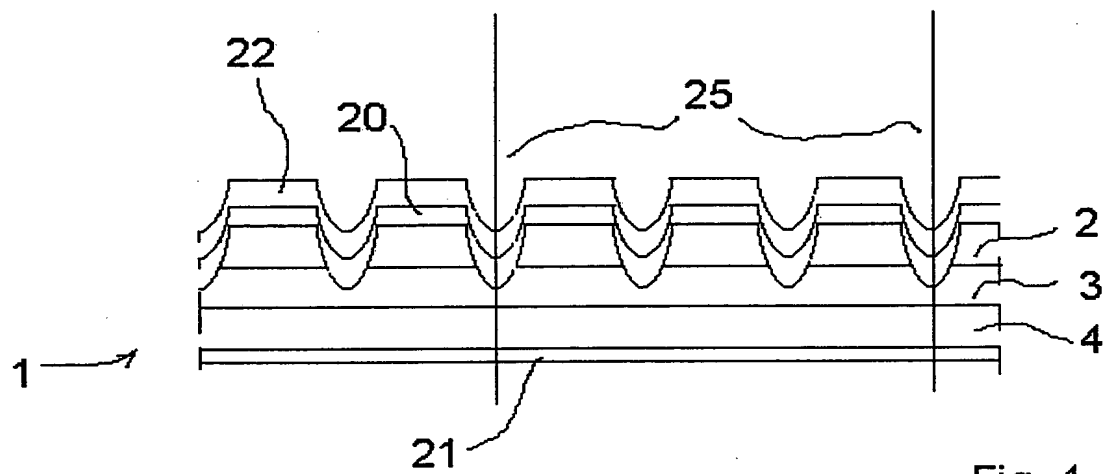


Fig. 3





...

==